

①

3-01115-TH

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑯ 公開特許公報 (A)

昭56-22975

⑰ Int. Cl.³
G 01 R 31/26

識別記号

庁内整理番号
7359-2G

⑱ 公開 昭和56年(1981)3月4日

発明の数 1
審査請求 未請求

(全 3 頁)

⑳ 集積回路装置の評価方法

東京都港区芝五丁目33番1号日
本電気株式会社内

㉑ 特 願 昭54-98959

㉒ 出 願 人 日本電気株式会社

㉓ 出 願 昭54(1979)8月2日

東京都港区芝5丁目33番1号

㉔ 発 明 者 上路康雄

㉕ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

集積回路装置の評価方法

2. 特許請求の範囲

集積回路に組み込まれたトランジスタ、またはダイオードの特性を評価するために、該集積回路の全入力端子、全出力端子を開放とし電圧端子、接地端子間にはPN接合順方向電圧以下の電圧を印加した状態で、電圧端子より接地端子へ流れる回路電流を測定することにより、該集積回路内部のトランジスタ、ダイオードの特性を評価することを特徴とする集積回路装置の評価方法。

3. 発明の詳細な説明

本発明は集積回路装置の評価方法に関する。

一般に集積回路は半導体基板上に種々の回路素子を作り、配線により素子間を接続し、所望の回路を有している。回路にはその機能、電気的特性を定

めてあり、これらの諸特性を満足する良品を選ぶべく信頼特性、直流特性、ノイズ、アンダ特性等の各種試験を行う。一々状態や組立完了後に実施している。電気的特性試験は外部端子で測定可能な項目に限定され、内部回路素子特性については十分な評価がなされていない。このため内部トランジスタの特性が不十分でコレクタ、エミッタ間にリーク電流がある場合でも、その特性が評価出来ず経時変化でリーク電流が増大し信頼度が低下するが強弱に相込まれ使用してはじめて異常動作を発見する現状である。

5

10

即ち従来の集積回路では信頼度の低下、不良発見の遅延による種々の損失、評価方法集積等の弊害が多かった。

15

本発明の目的は従来のこのような欠点を除去し内部素子の特性を評価することを可能とするもので集積回路に組み込まれたトランジスタ、またはダイオードの特性を評価するために、該集積回路の全入力端子、全出力端子を開放とし電圧端子、接地端子間にはPN接合順方向電圧以下の電圧を

1

1

2

印加した状態で、電源端子より接地端子へ流れる回路電流を測定することにより放熱回路内部のトランジスタ、ダイオードの特性を評価することを特徴とする。

本発明を実施例により説明する。第1図は本発明の一実施例を示すブロック図である。電源端子11、接地端子12、入力端子131…13N、出力端子141…14Mを有する集積回路10の端子11と12の間にPN接合順方向電圧 V_F 以下の電圧を印加する。回路電流は、全入出力端子が開放としてあるから必ず接地端子12へ流れ込む。ここで端子11、12間には等価回路として第2図の回路がある場合素子が理想的であれば V_F 以下の電圧では電流は流れない。トランジスタTR1、TR2のベース、エミッタ間のリーク、コレクタ、エミッタ間のリークの両方あるいはいずれか一方があればリーク電流として端子11、12間に流れる。

第3図は内部素子特性が正常なものと異常なものを比較したものである。横軸に印加電圧、縦軸

- 3 -

4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図はその内部回路の一例の構成図、第3図は特性評価の一例を示す図、第4図、第5図(a)(b)は本発明の他の実施例のブロック図、第6図は内部回路の他の構成図を示す。

図に於いて、11は電源端子、12は接地端子、131…13Nは入力端子、141…14Mは出力端子、である。

代理人 弁護士 内原 晋

- 5 -

特開昭56-22975(2)

に電源端子より接地端子へ流れる電流を示し、a、bは夫々正常及び異常のあるものを示している。これより良否の判定基準電流を設定し不良品を除去することが出来る。

5 第4図、第5図(a)(b)図は本発明の他の実施例で、第4図は負電圧を使用する回路の場合の実施例、第5図(a)(b)は正負電圧を使用する回路の実施例を示す。

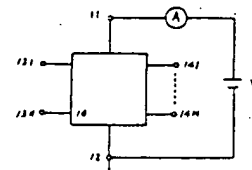
10 内部回路として第6図の場合には電源端子、接地端子間には抵抗 R_1 、 R_2 が接続されてシリーク電流と抵抗に流れる電流との和として測定されるから判定基準電流に抵抗 R_2 に流れる電流を加えてあげば不良を除去することは可能である。

15 以上の説明した如く本発明により内部素子特性を簡単に評価することが可能となり、信頼性の向上、不良の早期発見、評価の簡略等の効果がある。

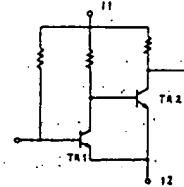
更にLSI、VLSIと呼ばれる高密度大規模集積回路へ本発明を適用することにより複雑な回路でも内部素子特性の評価が容易に可能となる。

20

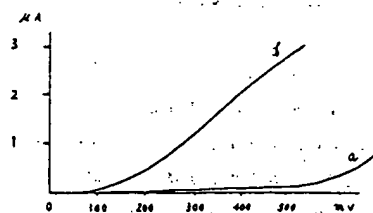
- 4 -



第1図



第2図



第3図

(3)

图 56-22975(3)

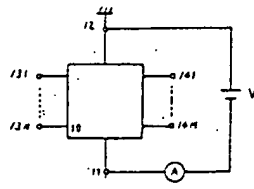
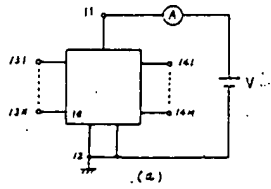
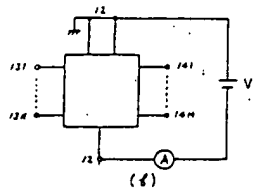


图 4 (a)



(b)



(a)

图 5 (a)

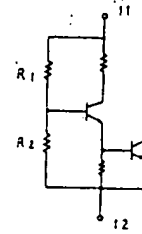


图 6 (a)

EVALUATING METHOD FOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP56022975
Publication date: 1981-03-04
Inventor(s): UEJI YASUO
Applicant(s):: NEC CORP
Requested Patent: ☐ JP56022975
Application Number: JP19790098959 19790802
Priority Number(s):
IPC Classification: G01R31/26
EC Classification:
Equivalents:

Abstract

PURPOSE: To ensure an evaluation of the characteristics of the internal element, by opening all input and output terminals of the integrated circuit, applying the voltage lower than the p-n junction forward voltage between the power supply terminal and the earth terminal and then measuring the current flowing to the earth terminal from the power supply terminal.

CONSTITUTION: Integrated circuit 10 contains power supply terminal 11, earth terminal 12, input terminals 131-13N and output terminals 141-14M each. The voltage lower than p-n junction forward voltage V_F is applied between terminals 11 and 12. The circuit current always flows to terminal 12 since all output terminals are opened. If the element between terminals 11 and 12 is ideal, no current flows with the voltage lower than V_F . In case the leak occurs to both or either one of the base-emitter and the collector-emitter of transistors TR1 and TR2 each, the current flows between terminals 11 and 12 in the form of the leak current. Here the decision reference is set for the quality for the current flowing to the earth terminal from the power source, and thus the defective element can be eliminated. In such way, the evaluation becomes possible for the characteristics of the internal element.

Data supplied from the esp@cenet database - I2